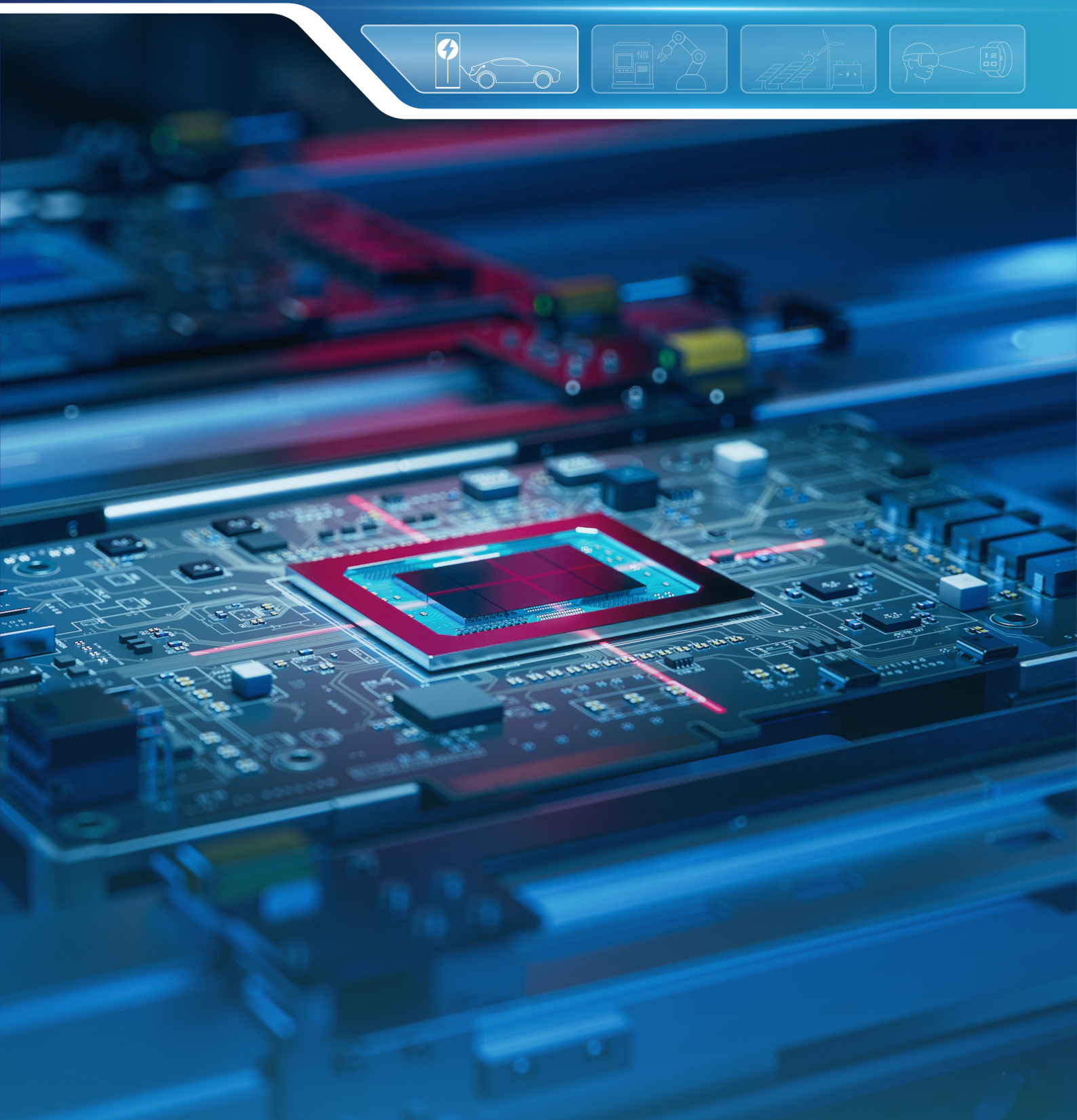
应用笔记

NOVOSENSE 纳芯微电子

基于 NSI8200 的集成式隔离 I²C 接口应用指南

AN-13-0021

作者：Shuo Zhang



AN-13-0021

基于 NSI8200 的集成式隔离 I²C 接口应用指南

NOVOSENSE 纳芯微电子

摘 要

I²C 总线因结构简单、易于实现，广泛用于设备间连接，但在数据采集、电源控制等场景中，主从设备常需隔离以解决噪声、接地与安全问题。本文以纳芯微 NSI8200 隔离 I²C 芯片为核心，对比光耦合器、数字隔离器等分立方案，详细阐述集成方案的实现原理、接口阈值类型说明、信号传输特性及上拉电阻计算方法，帮助工程师利用隔离 I²C 芯片高效快速地实现 I²C 设备隔离。

目 录

1. 隔离I²C接口简介 ---- 2
2. NSI8200隔离I²C方案实现原理 ---- 3
3. 隔离I²C接口阈值类型说明 ---- 4
4. NSI8200信号传输特性 ---- 5
5. NSI8200上拉电阻计算 ---- 7
6. 总结 ---- 9
7. 修订历史 ---- 10

基于 NSI8200 的集成式隔离 I²C 接口应用指南

1.隔离I²C接口简介

I²C 接口由两条信号线组成：串行数据（SDA）和串行时钟（SCL），可以简单高效地实现控制器与传感器、数据转换器等电路之间的通信。纳芯微的NSI8200是一款具备信号隔离和双向数据通信功能的隔离I²C接口芯片，可以支持在物理距离较远，具备不同电源域且需要隔离保护的系统中使用I²C协议。NSI8200的最大传输速率2MHz，可覆盖标准模式（100kHz）、快速模式（400kHz）和增强快速模式（1MHz）的I²C通讯协议，通过电容隔离技术可实现最高8kV$_{RMS}$的隔离电压，并为系统设计提供丰富的封装选择。

对比项	光耦合器方案	数字隔离器方案	集成方案
实现方案	4*光耦合器+外围电路	4CH数字隔离器+外围电路	NSI8200
PCB占用空间	大	较大	小
设计验证工作量	大	较大	小
生产成本	高	较高	低

表1.1 隔离I²C接口实现方案对比

随着工业场景复杂度提升、多设备协同需求及安全可靠性要求，几乎所有类型的工业系统接口都需具备隔离功能。使用数字隔离器或光耦合器设计的隔离式I²C接口面临工作模式差异的挑战，即I²C总线工作于双向半双工模式，而数字隔离器或光耦均属于单向传输器件。表1.1对比了分立方案和集成方案的优劣势，使用单向器件实现隔离I²C功能时，均需要额外的外围电路配合将双向总线分为两条单向信号路径，增加了系统复杂性和设计生产成本。

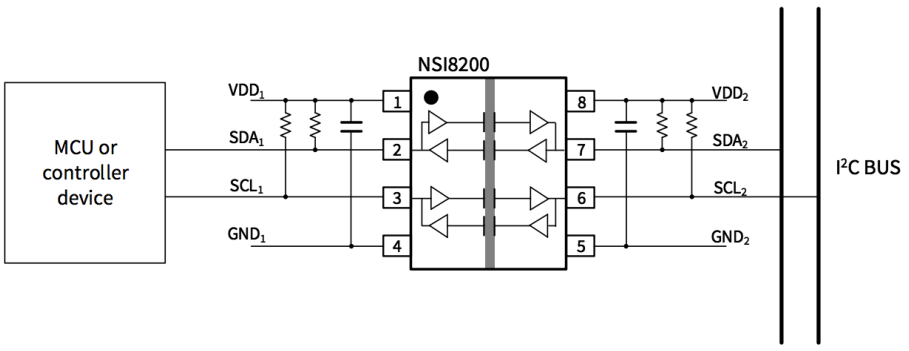


图1.1 使用NSI8200的隔离I²C接口电路

相较于分立方案，NSI8200在内部集成了双向数据通道，SDA和SCL均可支持双向数据传输，并具备较低的传输延时，可帮助工程师以更低的成本和更简化的设计实现高性能的I²C系统隔离功能，图1.1为NSI8200应用原理图，只需电源滤波电容和上拉电阻即可实现隔离I²C双向通讯功能。

Copyright © NOVOSENSE Microelectronics Co.,Ltd 2026. All rights reserved.

2.NSI8200隔离I²C方案实现原理

隔离I²C接口的通信通道可由 2 个反向传输的数字隔离通道构建，然而，由于 I²C 总线隔离两侧均采用开漏驱动方式，当一侧发送低电平信号时，会导致两侧总线持续保持低电平状态且无法释放，使总线通讯锁死。

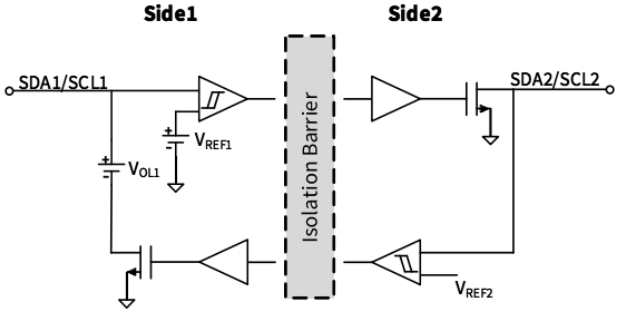


图2.1 NSI8200逻辑实现电路示意图

NSI8200在Side1侧增加了特殊逻辑电平设计，可以检测信号传输方向，防止Side1侧接收器的输出低电平被误认为是Side1侧发射器的输入低电平，从而有效中断锁定环路，避免总线状态锁死。该电路的具体实现逻辑如下：

当Side2向Side1发送逻辑低电平时，由于直流偏置电路的存在，Side1侧的输出低电平为V_{OL1}，最小值为0.65V；当Side1向Side2发送逻辑低电平时，通过V_{REF1}的设计，输入迟滞比较器的输入低电平V_{ILT1}的最大值为0.56V。因此，在进行双向低电平传递时，V_{OL1}始终大于V_{ILT1}，避免了Side1输入比较器错误识别Side1输出低电平做为输入低电平的情况。同时，V_{OL1}的值也足够低，可以MCU等其他器件识别为低电平。由于在Side1侧已经将锁定环路中断，无需在Side2侧进行额外设计，Side2侧的输入/输出逻辑电平均为标准I²C逻辑电平。

当Side1和Side2之间通过上拉电阻传输高电平时，由于接收器的输出MOS管为关断状态，不存在锁定环路，可以正常实现双向数据通信。

Side1侧	逻辑电平值	Side2侧	逻辑电平值
V_{ILT1}（Max）	0.56V	V_{ILT2}（Min）	0.3*VDD2
V_{IHT1}（Max）	0.63V	V_{IHT2}（Max）	0.7*VDD2
V_{OL1}（Min）	0.65V	V_{OL2}（Max）	0.5V

表2.1 NSI8200 输入/输出逻辑电平

基于以上电路特性，在使用NSI8200设计I²C接口时，通常将Side2与I²C总线侧相连以更好地与I²C规范兼容；在验证时，也可以通过检测输出低电平幅值来判别实际信号传输方向。

Copyright © NOVOSENSE Microelectronics Co.,Ltd 2026. All rights reserved.

3.隔离I²C接口阈值类型说明

如第2节所述，为实现自动防护锁功能，Side1侧逻辑电平进行了特殊处理；而Side2侧作为通用接口类电平， NSI8100为TTL型输入逻辑电平，NSI8200为CMOS型输入逻辑电平，下面介绍两种输入电平的区别。TTL型输入逻辑电平为固定阈值电平，即输入阈值不随供电电压变化，一般为2V和0.8V；CMOS型输入逻辑电平的输入阈值是供电电压的函数，一般为0.3*VDD和0.7*VDD。

TTL型和CMOS型逻辑输入对应不同供电电压下的推荐输入阈值对比如表2.2和表2.3所示，从表中可以看出，TTL逻辑输入电平阈值整体较低，对于2.5V~5V的供电兼容性较好，但由于输入迟滞范围和VIL阈值较小，对输入低电平的抗噪声能力较差。CMOS型逻辑输入阈值跟随电源调节，具有对称的迟滞范围，抗电源干扰和抗输入噪声能力更强。值得注意的是，在使用CMOS电平接口时，需保证电源和输入信号在同一电源域下，以确保器件正确配置该电源域下的输入阈值。

VDD电压	2.5V	3.3V	5V
VIH	2V	2V	2V
VIL	0.8V	0.8V	0.8V

表2.2 TTL型输入电平阈值电压

VDD电压	2.5V	3.3V	5V
VIH	1.75V	2.31V	3.5V
VIL	0.75V	0.99V	1.5V

表2.3 CMOS型输入电平阈值电压

另一方面，VIH和 VIL 是建议施加的低输入电压和高输入电压阈值，通过遵循 VIH和 VIL电平，可以确保器件始终正确读取输入电平。同时，为确保建议的VIH和VIL电平可以提供足够裕度，芯片中用于实现实际输入翻转的阈值(VIT+和VIT-)通常介于 VIH和 VIL电压电平之间，如图2.2和图2.3所示。对于输入信号上升缓慢的应用场景，基于VIT+和VIT-的典型值可以粗略估算输出翻转时间。但由于芯片内部输入阈值翻转通过迟滞比较器结构实现，应尽量避免出现介于VIH和VIL之间的恒定电平信号，以防止芯片误触发。

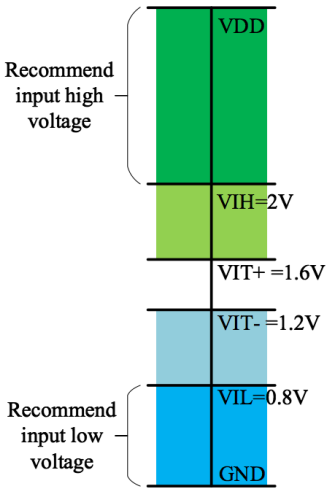


图2.2 TTL型输入电平

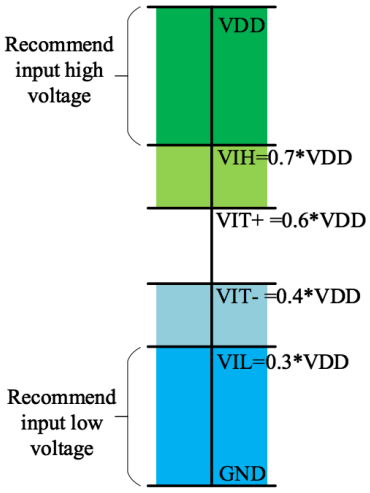


图2.3 CMOS型输入电平

Copyright © NOVOSENSE Microelectronics Co.,Ltd 2026. All rights reserved.

4.NSI8200信号传输特性

由于Side1侧电路设计和传播延时的影响，NSI8200在进行双向数据传输时，信号波形可以按照以下四种情况具体分析：

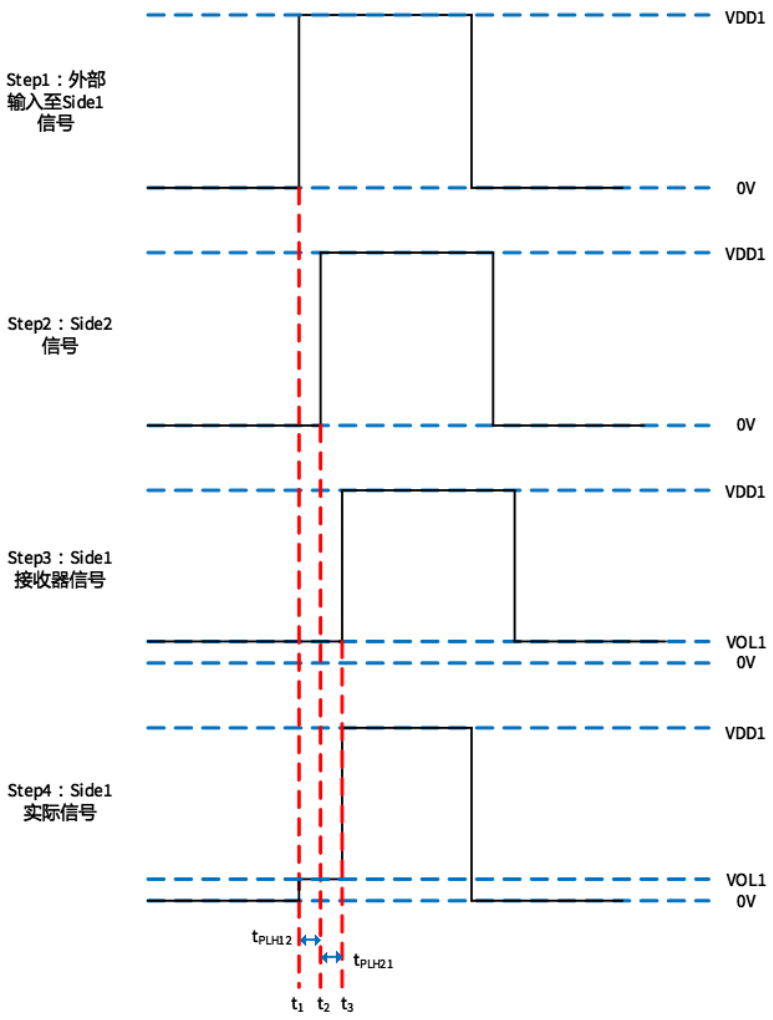


图3.1 外部信号向Side1发送高电平

（1）外部信号向Side1发送信号（由低电平转为高电平，图3.1）

Step1：在t_1时刻，由外部信号向Side1发送高电平信号；

Step2：经过t_{plh12}的隔离通道传输延时，高电平信号传送至Side2，并由上拉电阻拉高；

Step3：高电平信号经过t_{plh21}的隔离通道延时再次传回至Side1；

Step4：在Side1端体现的实际信号为外部输入信号和Side2回传信号相“与”后的结果（即Step1与Step3相“与”），因此，Side1端检测到的信号在t1~t3时刻仍保持接收器输出电压V_{OL1}，直至经过t_{plh12}+t_{plh21}的环路信号回传才会变为高电平信号。

Copyright © NOVOSENSE Microelectronics Co.,Ltd 2026. All rights reserved.

（2）外部信号向Side1发送信号（由高电平转为低电平，图3.2）

Step1：在t_1时刻，由外部信号向Side1发送低电平信号；

Step2：经过t_{phl12}的隔离通道传输延时，低电平信号传送至Side2；

Step3：低电平信号经过t_{phl21}的隔离通道延时再次传回至Side1；

Step4：在Side1端体现的实际信号为外部输入信号和Side2回传信号相“与”后的结果（即Step1与Step3相“与”），因此，Side1端检测到的信号在t_1时刻便和外部输入信号一起由高电平变为低电平。

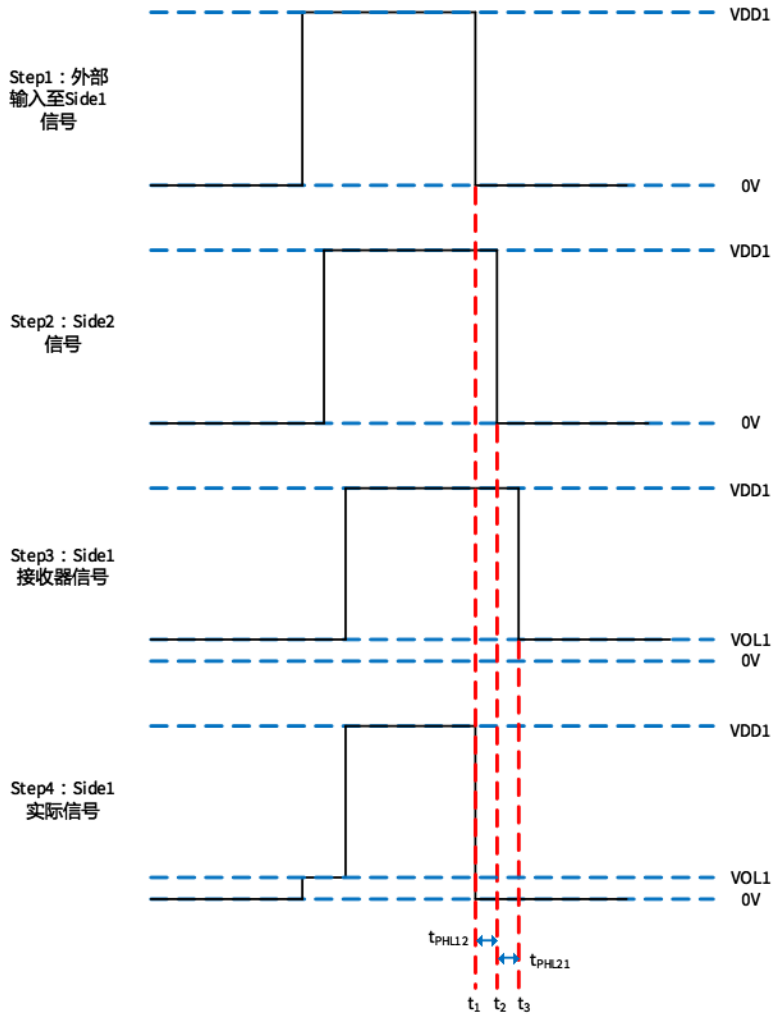


图3.2 外部信号向Side1发送低电平

Copyright © NOVOSENSE Microelectronics Co.,Ltd 2026. All rights reserved.

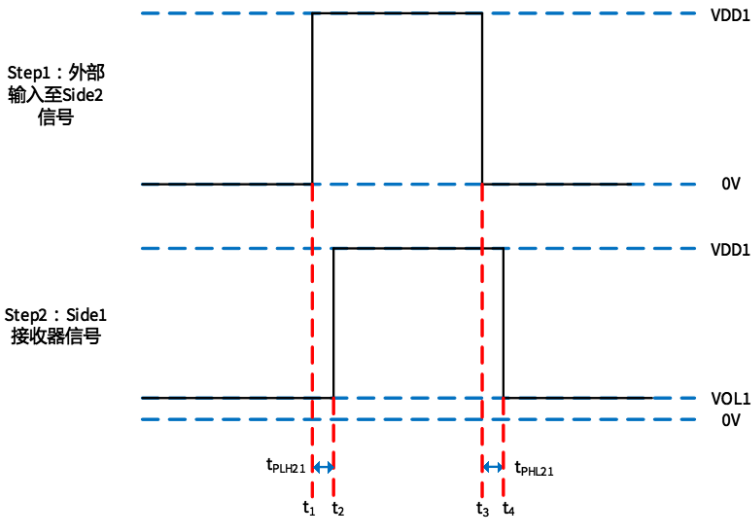


图3.3 外部信号向Side2发送高/低电平

（3）外部信号向Side2发送信号（由低电平转为高电平，图3.3）

Step1：在t_1时刻，由外部信号向Side1发送高电平信号；

Step2：经过t_{plh21}的隔离通道传输延时，高电平信号传送至Side1，并由上拉电阻拉高；

（4）外部信号向Side1发送信号（由高电平转为低电平，图3.3）

Step1：在t_3时刻，由外部信号向Side1发送低电平信号；

Step2：经过t_{phl21}的隔离通道传输延时，低电平信号传送至Side1，由于该低电平信号V_{OL1}大于V_{ILT1}，低电平信号不会再进行回传。

5.NSI8200上拉电阻计算

I²C总线的工作原理为开漏结构输出，需设置上拉电阻将I²C总线连接至电源以输出高电平。因此，上拉电阻的选择是I²C系统设计中的重要考量因素，针对不同应用场景及供电电压，上拉电阻值有明确的最大值和最小值限值，下面介绍NSI8200的上拉电阻计算原则。

（1）上拉电阻最小值

电源电压会限制上拉电阻R_{pull}的最小值，这是由于若R_{pull}过小，VDD灌入端口的电流将较大，这可能会导致输出端口的低电平值增大，如果灌入端口的电流值过大，还可能损坏端口。R_{pull}最小值的计算公式为：

$$R_{pull(min)} = \frac{VDD - V_{OL(max)}}{I_{OL}} \quad (1)$$

Copyright © NOVOSENSE Microelectronics Co.,Ltd 2026. All rights reserved.

对于I_{OL}的值，I²C标准中规定标准模式和快速模式的灌电流不超过3mA，增强快速模式不超过20mA。NSI8200在Side1和Side2侧的输出电路不同，可以承受最大I_{OL}值也有所差异。在保证V_{OL2}(max)为0.5V的条件下，Side2侧最大灌电流为30mA；在保证V_{OL1}(max)为0.8V的条件下，Side1侧最大灌电流为4mA。如果Side1通讯的前级器件可接受更高的低电平阈值，Side1的最大灌电流值可在端口耐流值（15mA）内视情况调整。

（2）上拉电阻最大值

I²C总线电容C_b会限制上拉电阻R_{pull}的最大值，总线电容通常由导线、连接件和引脚电容一起构成，VDD通过R_{pull}对总线电容充电，充电时间即为信号由低电平到高电平的上升时间。若R_{pull}过大，则信号上升沿较为缓慢，可能导致占空比失真严重，影响正常传输速率。

RC电路的电压随时间变化公式为：

$$V(t) = VDD * (1 - e^{-t/RC}) \tag{2}$$

其中t为充电开始后的时间，RC为时间常数；
考虑输入高电电平阈值为0.7*VDD，输入低电平阈值为0.3*VDD，则有：

$$V(t_1) = 0.3 * VDD = VDD * (1 - e^{-t_1/RC}) \tag{3}$$

计算可得t_1=0.3567RC

$$V(t_2) = 0.7 * VDD = VDD * (1 - e^{-t_2/RC}) \tag{4}$$

计算可得t_2=1.2040RC

则信号上升时间：

$$t_r = t_2 - t_1 = 0.8473 * RC \tag{5}$$

由此推导出上拉电阻最大值的计算公式为：

$$R_{pull(max)} = \frac{t_r}{(0.8473 * C_b)} \tag{6}$$

其中C_b为I²C总线电容；根据I²C标准，不同模式的上升时间t_r要求如下表所示：

参数	标准模式	快速模式	增强快速模式	单位
t_r（max）	1000	300	120	ns
C_b（max）	400	400	550	pF

表4.1 不同模式I²C通讯特性参数要求

Copyright © NOVOSENSE Microelectronics Co.,Ltd 2026. All rights reserved.

至此，工程师可以按照式(1)和式(6)，根据系统最小上升速率的需求和I²C总线电容值计算得到上拉电阻范围，假设某系统工作于快速模式，最大灌电流不超过4mA，I²C总线通讯参数：C_b=150pF，VDD=3.3V，可以计算得

$$R_{pull(min)} = \frac{3.3 - 0.5}{4 * 10^{-3}} = 700\Omega$$

$$R_{pull(max)} = \frac{300 * 10^{-9}}{(0.8473 * 150 * 10^{-12})} = 2.36k\Omega$$

因此，可以选择阻值在700Ω~2.36kΩ之间的标准电阻，由于 $R_{pull(max)}$ 为按照最大灌电流进行计算，更小的阻值会给系统带来较大的功耗和电阻发热，在实际选择电阻时需根据期望的灌电流值和信号上升速度进行权衡，进而确定最终的上拉电阻值。

6.总结

在工业场景对I²C接口隔离需求日益提升的背景下，传统的分立隔离方案存在明显局限。本文介绍了以NSI8200为核心的集成隔离I²C方案具备设计简单、节省空间、成本低等优势；随后，介绍了NSI8200防锁电路设计、接口阈值类型说明和通讯特性； 最后，结合I²C工作模式介绍了确定上拉电阻范围的计算方法，为系统设计提供理论依据。

Copyright © NOVOSENSE Microelectronics Co.,Ltd 2026. All rights reserved.

7.修订历史

版本	描述	作者	日期
1.0	创建应用笔记	Shuo Zhang	2026/04/06

销售联系方式：sales@novosns.com;　获取更多信息：www.novosns.com

重要声明

本文件中提供的信息不作为任何明示或暗示的担保或授权，包括但不限于对信息准确性、完整性，产品适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的陈述或保证。

客户应对其使用纳芯微的产品和应用自行负责，并确保应用的安全性。客户认可并同意：尽管任何应用的相关信息或支持仍可能由纳芯微提供，但将在产品及其产品应用中遵守纳芯微产品相关的所有法律、法规和相关要求。

本文件中提供的资源仅供经过技术培训的开发人员使用。纳芯微保留对所提供的产品和服务进行更正、修改、增强、改进或其他更改的权利。纳芯微仅授权客户将此资源用于开发所设计的整合了纳芯微产品的相关应用，不视为纳芯微以明示或暗示的方式授予任何知识产权许可。严禁为任何其他用途使用此资源，或对此资源进行未经授权的复制或展示。如因使用此资源而产生任何索赔、损害、成本、损失和债务等，纳芯微对此不承担任何责任。

有关应用、产品、技术的进一步信息，请与纳芯微电子联系（www.novosns.com）。

苏州纳芯微电子股份有限公司版权所有